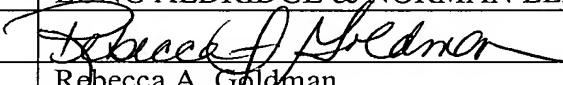
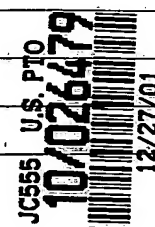


Docket No. 8733.504.00			
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
IN RE APPLICATION OF:		Dong Yeung KWAK et al.	GAU: TBA
SERIAL NO:	TBA	EXAMINER:	TBA
FILED:	December 27, 2001		
FOR:	LIQUID CRYSTAL DISPLAY PANEL		
REQUEST FOR PRIORITY			
COMMISSIONER FOR PATENTS WASHINGTON, D.C. 20231			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u>COUNTRY</u>		<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA		2000-83102	December 27, 2000
Certified copies of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
Date: December 27, 2001		Respectfully Submitted,	
		LONG ALDRIDGE & NORMAN LLP	
			
Sixth Floor 701 Pennsylvania Avenue, N.W. Washington, D.C. 20004 Tel. (202) 624-1200 Fax. (202) 624-1298		Rebecca A. Goldman	
		Registration No.	41,786



#2

JC555 U.S. PTO
10/026479
12/27/01

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2000년 제 83102 호
Application Number

출원년월일 : 2000년 12월 27일
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사

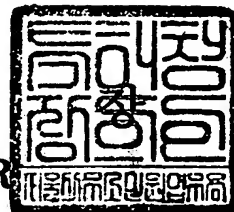
Applicant(s)



2001 03 27

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0019
【제출일자】	2000. 12. 27
【국제특허분류】	G02F
【발명의 명칭】	액정 디스플레이 패널
【발명의 영문명칭】	Liquid Crystal Display Panel
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-054732-1
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-054731-4
【발명자】	
【성명의 국문표기】	곽동영
【성명의 영문표기】	KWAK, Dong Yeung
【주민등록번호】	701201-1695819
【우편번호】	704-340
【주소】	대구광역시 달서구 송현동 그린맨션 103동 1108호
【국적】	KR
【발명자】	
【성명의 국문표기】	임병호
【성명의 영문표기】	LIM, Byoung Ho
【주민등록번호】	621125-1117215
【우편번호】	730-360
【주소】	경상북도 구마시 진평동 642-3
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
인 (인) 대리인
심창섭 (인) 김용

【수수료】

【기본출원료】 12 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정 디스플레이 패널을 제공하기 위한 것으로서, 기판 상에 다수 개로 형성된 게이트 배선 및 게이트 전극; 상기 게이트 배선 및 전극을 포함한 기판 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 소정 영역에 형성된 반도체층; 상기 반도체층 상에 형성된 오우믹콘택층; 상기 게이트 배선과 교차하게 패터닝되어 형성된 다수 개의 데이터 배선; 상기 데이터 배선과 함께 패터닝되어 상기 오우믹콘택층 상에 형성된 소스 전극; 상기 화소 내에 형성된 화소 전극; 상기 오우믹콘택층 상에 상기 화소 전극과 연결되도록 상기 데이터 배선과 함께 패터닝되어 형성되고, 그 폭이 균일하지 않게 형성된 드레인 전극을 포함하여 구성되며, 상기 게이트 전극과 중첩하는 영역의 경계부 주위에 형성된 드레인 전극의 폭이 상기 경계부 주위를 제외한 드레인 전극의 폭보다 좁게 형성함으로써 게이트 전극에 연결된 드레인 전극 사이의 중첩 면적의 변동을 줄여 용량(Cgd) 변동을 최소화하여 액정 디스플레이 패널의 화질을 개선할 수 있다.

【대표도】

도 2a

【색인어】

드레인 전극

【명세서】**【발명의 명칭】**

액정 디스플레이 패널{Liquid Crystal Display Panel}

【도면의 간단한 설명】

도1은 일반적인 TFT-LCD 어레이 중 단위 화소의 등가회로도

도2a는 본 발명에 따른 제1실시예로, 박막트랜지스터의 드레인 전극의 면적의 변동을 줄인 액정 디스플레이 패널의 구조 평면도

도2b는 본 발명에 따른 제2실시예로, 박막트랜지스터의 드레인 전극의 면적의 변동을 줄인 액정 디스플레이 패널의 구조 평면도

*도면의 주요부분에 대한 부호의 설명

10 : 게이트 배선 10a : 게이트 전극

20 : 반도체층 30 : 데이터 배선

30a : 소스 전극 30b : 드레인 전극

40 : 화소 전극 50 : 박막트랜지스터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 액정 디스플레이 패널에 관한 것으로, 특히 기생용량의 변동이 적은 박막트랜지스터 구조를 이용하여 화질을 개선한 액정 디스플레이 패널에 관한 것이다.
- <10> 도1은 일반적인 TFT-LCD(Thin Film Transistor-Liquid Crystal Display) 어레이 중

단위 화소의 등가회로를 나타낸다.

<11> 게이트 신호전압이 인가되면 박막트랜지스터(TFT)가 턴온 상태가 되어 이 시간동안 화상에 관한 정보를 가진 데이터 전압이 TFT를 통과하여 액정에 인가되는데, 이때 커패시터인 액정을 충전시키기 위한 전류(I_{ON})는 액정(C_{LC})에 의한 커패시터 및 후속신호 인가시까지 액정의 위상을 유지시키기 위한 스토리지 커패시터(C_{sto})의 합인 C_{TOT} 에다가 액정에 인가되는 전압(V_{LC})을 곱한 값을 게이트의 턴온 시간(τ_g)으로 나눈 값으로 수학식1과 같다.

<12> 수학식1

$$<13> \quad I_{on} = \frac{C_{TOT} \cdot V_{LC}}{\tau_g}$$

<14> 이상적으로는 액정에 의한 커패시터 및 스토리지 커패시터에 충전된 충전하량은 게이트가 턴오프(turn-off)되어 다음 신호가 들어올 때까지 유지가 되나, 실제의 경우에는 박막트랜지스터의 채널층의 저항(R_{off})으로 인해 누설전류(I_{OFF})가 존재하여(값을 수학식2와 같음) 이 누설전류가 충분히 작지 않으면 액정인가 전압의 왜곡 즉, 액정인가 전압(V_{LC})의 강하량인 δV 가 발생하여 플리커(flicker)의 주요원인이 된다.

<15> 수학식2

$$<16> \quad I_{OFF} = \frac{C_{TOT} \cdot \delta V}{\tau_g \cdot N_g}$$

<17> N_g 는 총 게이트 수를 나타내며 $\tau_g \cdot N_g$ 는 하나의 프레임 시간을 나타낸다.

<18> 그리고 a-Si:H TFT에서는 게이트 전극(g)과 소스 전극(s), 게이트 전극(g)과 드레인 전극(d)사이에 중첩(overlap) 부분이 존재하여 각각 C_{gs} , C_{gd} 의 기생용량(parasitic



capacitance)을 갖게 된다.

<19> 상기 기생용량은 부품을 집적하여 회로를 구성하는 경우 사용하는 소자의 크기, 길이 및 배치 등에 따라 그 부품이 가지고 있는 기능 이외에 부가된 작용을 하는 인덕턴스 혹은 정전용량을 말하는 것으로 여기서는 정전용량을 말한다.

<20> 그리고 상기 C_{gd} 는 TFT가 턴오프 될 때 용량성 커플링에 의해 액정 인가전압(V_{LC})에 전압 변동(ΔV)을 주고, 이러한 액정 인가전압(V_{LC})의 변동은 액정 디스플레이 패널의 광투과율을 시간에 따라 변화시켜 화질에 중요한 영향을 끼치는 요인으로 작용한다. 게이트와 소오스/드레인 사이 용량성 커플링에 의한 전압 변동을 공통전극에 인가되는 전압(V_{com})으로 보정해 주지만 실제로 액정 용량이 데이터 전압의 함수이므로 모든 경우의 데이터 전압에 대해 보정할 수 없으므로 플리커가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<21> 상기와 같은 종래 기술에 따른 액정 디스플레이 패널은 게이트가 턴오프될 경우, 게이트 전극(g)과 드레인 전극(d) 사이의 중첩부분으로 인한 용량(C_{gd})으로 인한 액정 인가 전압이 강하에 의해 플리커(flicker)가 발생하는 문제점이 있다.

<22> 따라서 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 게이트 전극(g) 및 화소 전극에 연결된 드레인 전극(d) 사이의 중첩 면적의 변동을 줄여 용량(C_{gd}) 변동을 최소화하여 화질이 개선된 액정 디스플레이 패널을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<23> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 디스플레이 패널의 특징은

기관 상에 다수 개로 형성된 게이트 배선 및 게이트 전극; 상기 게이트 배선 및 전극을 포함한 기관 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 소정 영역에 형성된 반도체층; 상기 반도체층 상에 형성된 오우믹콘택층; 상기 게이트 배선과 교차하게 패터닝되어 형성된 다수 개의 데이터 배선; 상기 데이터 배선과 함께 패터닝되어 상기 오우믹콘택층 상에 형성된 소스 전극; 상기 화소 내에 형성된 화소 전극; 상기 오우믹콘택층 상에 상기 화소 전극과 연결되도록 상기 데이터 배선과 함께 패터닝되어 형성되고, 그 폭이 균일하지 않게 형성된 드레인 전극을 포함하여 구성되는데 있다.

<24> 본 발명의 특징에 따른 작용은 상기 게이트 전극과 중첩하는 영역의 경계부 주위에 형성된 드레인 전극의 폭이 상기 경계부 주위를 제외한 드레인 전극의 폭보다 좁게 형성함으로써 마스크를 이용하여 데이터 배선 및 소스 전극과 함께 형성되는 드레인 전극의 오버레이(overlay)에 변동이 있을지라도 게이트 전극과 중첩되는 상기 드레인 전극의 면적의 변동량이 적으므로 게이트 전극과 드레인 전극의 중첩으로 인해 생기는 기생 용량의 변동을 줄일 수 있다.

<25> 본 발명의 다른 목적, 특성 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

<26> 본 발명에 따른 액정 디스플레이 패널의 바람직한 실시예에 대하여 첨부한 도면을 참조하여 설명하면 다음과 같다.

<27> 도2a는 본 발명에 따른 제1실시예로, 박막트랜지스터의 드레인 전극의 면적의 변동을 줄인 액정 디스플레이 패널의 구조 평면도이다.

<28> 도2a에 도시된 바와 같이 게이트배선(10) 및 데이터배선(30)이 종횡으로 배열되어



있다. 이 게이트배선(10)과 데이터배선(30)에 의해 화소 영역이 정의되고, 실제의 액정 패널은 다수 개의 단위 화소 영역을 갖는 액티브 영역으로 구성되어 있다. 상기한 화소 영역 내에는 게이트배선(10)과 데이터배선(30)의 교차점에는 박막트랜지스터(50 : thin film transistor)가 형성되어 있다.

<29> 상기한 박막트랜지스터(50)는 제1기판 위에 게이트배선(10)과 동시에 형성된 게이트전극(10a), 게이트 전극(10a) 상부를 포함한 제1기판의 전면에서 형성된 게이트절연막(도시하지 않음), 상기 게이트절연막 상부에 차례로 형성된 반도체층(20), 상기 데이터배선(30)과 동시에 상기 반도체층(20) 상부에 형성된 오우믹콘택층(도시하지 않음), 상기 오우믹콘택층 상부에 형성된 소스 전극(30a) 및 드레인 전극(30b)으로 구성되며, 상기한 게이트전극(10a) 및 소스 전극(30a)은 각각 게이트배선(10) 및 데이터배선(30)에 접속된다.

<30> 그리고 박막트랜지스터(50)를 포함한 전면에서 보호막(도시하지 않음)이 형성되고, 상기 드레인 전극(30b) 상에 형성된 보호막의 소정 영역을 노출하여 콘택홀을 형성하고, 콘택홀에 의해 드레인 전극(30b)과 연결되어 화소 영역 상에 투명도전막으로 화소 전극(40)이 형성되어 있다.

<31> 먼저, 기판 상에 금속 물질을 스퍼터링(Sputtering)법으로 형성하고 마스크를 이용하여 패터닝하여 다수 개로 게이트 배선(10) 및 게이트 전극(10a)을 형성한다.

<32> 이어, 상기 게이트 배선(10) 및 게이트 전극(10a)을 포함한 기판 전면에서 실리콘질화물 또는 실리콘산화물 등을 CVD(Chemical Vapor Deposition)법으로 증착하여 게이트절연막을 형성한 후, 박막트랜지스터(50)의 채널로 사용되는 반도체층(20)을 형성한다.

- <33> 이어, 상기 반도체층(20)을 포함한 게이트 절연막 전면에는 Al, Mo, Cr, Ta 또는 Al 합금 등과 같은 금속을 형성한 후 마스크를 이용하여 패터닝하여 상기 게이트 배선(10)과 교차하도록 단층으로 데이터 배선(30), 소스 전극(30a) 및 드레인 전극(30b)을 형성한다.
- <34> 상기 게이트 전극(10a)과 중첩하는 영역의 경계부 주위 및 화소 전극(40) 측을 향하는 드레인 전극(A)의 폭을 게이트 전극(10a)과 중첩하는 측을 향하는 드레인 전극(B)의 폭보다 좁게 형성한다.
- <35> 즉, 드레인부에서 선폭을 얇게 하여 게이트전극(10a)와 소스/드레인 전극(30a, 30b)이 중첩되는 면적에 변동이 있을 시 Cgd의 변동량을 최소화하기 위함이다.
- <36> 도2b는 본 발명에 따른 제2실시예로, 박막트랜지스터의 드레인 전극의 면적의 변동을 줄인 액정 디스플레이 패널의 구조 평면도이다.
- <37> 구성 및 제조 공정은 상기 제1실시예와 동일하다.
- <38> 상기 게이트 전극(10a)과 중첩하는 영역의 경계부 주위에 형성된 드레인 전극(A)의 폭이 상기 경계부 주위를 제외한 드레인 전극(B)의 폭보다 좁게 형성되어 있다.
- <39> 이상 제1실시예 및 제2실시예와 같이 게이트 전극(10a)과 중첩하는 영역의 경계부 주위의 드레인 전극의 폭을 좁게 형성함으로써 게이트 배선(10)을 기준으로 상기 데이터 배선(30), 소스 전극(30a) 및 드레인 전극(30b)을 형성시 마스크의 얼라인이 어긋나는 등의 오버레이(overlay) 변동량으로 인해 게이트 전극(10a)과 소스 전극(30a), 게이트 전극(10a)과 드레인 전극(30b)의 중첩부분의 변동이 발생하더라도 상기 반도체층(20) 및 게이트 절연막 하부에 형성되어 있는 게이트 전극(10a)과 드레인 전극(30b)의 중첩되는

부분의 면적의 변동을 줄일 수 있다.

<40> 도1을 참고하여 중첩부분의 면적의 변동량이 줄면 게이트 전극(10a)과 드레인 전극(30b) 사이에 기생용량 C_{gd} 의 변동량이 줄어들므로 박막트랜지스터(50)가 턴오프(turn-off)시에 용량성 커플링에 의한 액정 전압의 전압 변동(ΔV)이 줄어들고, 이는 아래의 수학식3에서 증명된다.

<41> 수학식3

$$\Delta V = \frac{C_{gd}}{C_{LC} + C_{sto} + C_{gd}} \delta V_g$$

<43> C_{sto} : 스토리지 커패시터

<44> C_{LC} : 액정에 의한 커패시터

<45> δV_g : 게이트 전압 변동량

【발명의 효과】

<46> 이상에서 설명한 바와 같은 본 발명에 따른 액정 디스플레이 패널은 다음과 같은 효과가 있다.

<47> 게이트 전극과 중첩하는 영역의 경계부 주위에 형성된 드레인 전극의 폭이 상기 경계부 주위를 제외한 드레인 전극의 폭보다 좁게 형성함으로써 드레인 전극의 오버레이(overlay)에 변동이 있을지라도 게이트 전극과 중첩되는 상기 드레인 전극의 면적의 변동량이 적으므로 게이트 전극과 드레인 전극의 중첩으로 인해 생기는 용량의 변동이 줄어들기 때문에 액정 디스플레이 패널의 화질을 개선할 수 있다.

<48> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범

위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<49> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라
특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】**【청구항 1】**

기판 상에 다수 개로 형성된 게이트 배선 및 게이트 전극;

상기 게이트 배선 및 전극을 포함한 기판 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 소정 영역에 형성된 반도체층;

상기 반도체층 상에 형성된 오우믹콘택층;

상기 게이트 배선과 교차하게 패터닝되어 형성된 다수 개의 데이터 배선;

상기 데이터 배선과 함께 패터닝되어 상기 오우믹콘택층 상에 형성된 소스 전극;

상기 화소 내에 형성된 화소 전극;

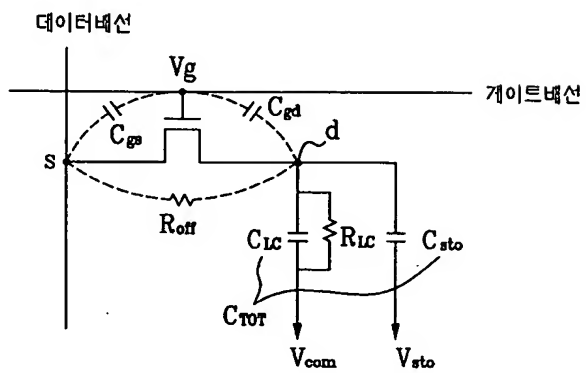
상기 오우믹콘택층 상에 상기 화소 전극과 연결되도록 상기 데이터 배선과 함께 패터닝되어 형성되고, 그 폭이 균일하지 않게 형성된 드레인 전극을 포함하여 구성되는 것을 특징으로 하는 액정 디스플레이 패널.

【청구항 2】

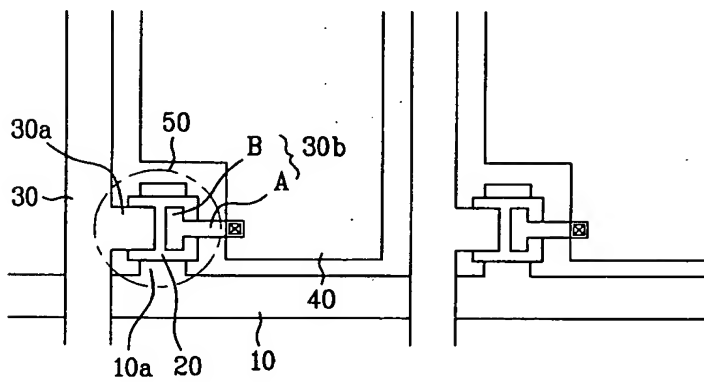
제1항에 있어서, 상기 게이트 전극과 중첩하는 영역의 경계부 주위에 형성된 드레인 전극의 폭이 상기 경계부 주위를 제외한 드레인 전극의 폭보다 좁게 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

【도면】

【도 1】



【도 2a】



【도 2b】

